



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

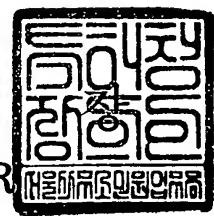
출원번호 : 10-2003-0024123
Application Number

출원년월일 : 2003년 04월 16일
Date of Application APR 16, 2003

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003년 09월 19일



특허청

COMMISSIONER

【서지사항】	
【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.04.16
【발명의 명칭】	반도체 메모리 장치 및 이 장치의 배치 방법
【발명의 영문명칭】	Semiconductor memory device and arrangement method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	이중화
【성명의 영문표기】	LEE, JUNG HWA
【주민등록번호】	661117-1769918
【우편번호】	442-736
【주소】	경기도 수원시 팔달구 영통동 살구골7단지 진덕아파트 703-1601
【국적】	KR
【발명자】	
【성명의 국문표기】	김치욱
【성명의 영문표기】	KIM, CHI WOOK
【주민등록번호】	670801-1253829
【우편번호】	445-973
【주소】	경기도 화성군 태안읍 반월리 신영통 현대아파트 110동 402호
【국적】	KR
【발명자】	
【성명의 국문표기】	문병모
【성명의 영문표기】	MOON, BYONG MO
【주민등록번호】	720725-1642329

【우편번호】 140-111
【주소】 서울특별시 용산구 원효로1가 27-64번지
【국적】 KR
【발명자】
【성명의 국문표기】 장수봉
【성명의 영문표기】 CHANG, SOO BONG
【주민등록번호】 710110-1058423
【우편번호】 152-091
【주소】 서울특별시 구로구 개봉1동 116-6
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
박상수 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 3 면 3,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 8 항 365,000 원
【합계】 397,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 메모리 장치 및 이 장치의 배치 방법을 공개한다. 이 장치는 로우 방향으로 배치된 워드 라인들과 컬럼 방향으로 배치된 비트 라인들과 컬럼 선택 라인들을 구비하고, 컬럼 방향으로 배치된 복수개의 메모리 셀 어레이 블록들을 구비한 메모리 셀 어레이, 복수개의 메모리 셀 어레이 블록들사이에 배치된 복수개의 내부 전압 발생라인들, 메모리 셀 어레이의 일측에 배치되고 컬럼 어드레스를 디코딩하여 컬럼 선택 라인들을 선택하는 컬럼 디코더, 메모리 셀 어레이의 양측에 배치되고 기준전압과 내부 전압을 비교하여 비교 신호를 발생하는 내부 전압 발생회로, 및 복수개의 내부 전압 발생라인들 각각의 양단에 배치되고 비교 신호에 응답하여 복수개의 내부 전압 발생라인들 각각으로 내부 전압을 공급하는 복수개의 드라이버들로 구성되어 있다. 액티브 내부 전압 발생회로의 드라이버를 내부 전압 발생라인들의 양단에 배치함으로써 내부 전압 발생라인들의 전압 레벨을 빠르고 균일하게 원하는 내부 전압 레벨로 만들 수 있다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

반도체 메모리 장치 및 이 장치의 배치 방법{Semiconductor memory device and arrangement method thereof}

【도면의 간단한 설명】

도1은 종래의 반도체 메모리 장치의 배치를 나타내는 블록도이다.

도2는 본 발명의 반도체 메모리 장치의 배치를 나타내는 실시예의 블록도이다.

도3은 본 발명의 반도체 메모리 장치의 배치를 나타내는 바람직한 실시예의 블록도이다.

도4는 도2 및 도3에 나타낸 본 발명의 반도체 메모리 장치의 액티브 내부 전압 발생회로 및 드라이버의 실시예의 회로도이다.

도5는 본 발명의 반도체 메모리 장치의 비트 라인 센스 증폭기의 실시예의 구성을 나타내는 것이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 내부 전압 발생라인의 전압 레벨을 균일하게 만들 수 있는 반도체 메모리 장치 및 반도체 메모리 장치의 배치 방법에 관한 것이다.

<7> 종래의 반도체 메모리 장치의 내부 전압 발생회로는 크게 메모리 셀 어레이를 위한 내부 전압 발생회로와 메모리 셀 어레이의 주변 회로를 위한 내부 전압 발생회로로 구성된다.

<8> 내부 전압 발생회로들 각각은 스텐바이 및 액티브시에 모두 동작하는 스텐바이 내부 전압 발생회로와 액티브시에만 동작하는 액티브 내부 전압 발생회로로 구성된다.

<9> 그리고, 메모리 셀 어레이를 위한 내부 전압 발생회로중 액티브 내부 전압 발생회로는 액티브 동작시에 비트 라인의 전압을 감지하여 내부 전압 레벨로 증폭하는 PMOS 비트 라인 센스 증폭기로 내부 전압을 공급한다.

<10> 도1은 종래의 반도체 메모리 장치의 배치를 나타내는 블록도로서, 메모리 셀 어레이(10), 컬럼 디코더(12), 컬럼 제어회로(14), 로우 디코더(16), 스텐바이 내부 전압 발생회로(18), 액티브 내부 전압 발생회로(20), 및 드라이버들(20-1, 20-2, 20-3)로 구성되어 있다.

<11> 도1에서, SIVC는 스텐바이 내부 전압 발생회로(18)를, AIVC는 액티브 내부 전압 발생회로(20)를, D는 드라이버들(20-1, 20-2, 20-3)을 나타내고, 22는 외부 전압 인가 패드(22)를 나타낸다. 그리고, WL은 대표적인 하나의 워드 라인을, BL은 대표적인 하나의 비트 라인을, CSL은 대표적인 하나의 컬럼 선택 라인을 각각 나타낸다.

<12> 도1에서, 메모리 셀 어레이(10)는 컬럼 방향으로 배치된 4개의 메모리 셀 어레이 블록들(10-1 ~ 10-4)로 구성되고, 메모리 셀 어레이 블록들(10-1 ~ 10-4) 각

각은 4개의 서브 메모리 셀 어레이 블록들(MCA)로 구성되고, 상하로 배치된 메모리 셀 어레이 블록들(MCA)사이에 서브 워드 라인 드라이버들(SWD)이 배치되고, 좌우로 배치된 메모리 셀 어레이 블록들(MCA)사이에 비트 라인 센스 증폭기들(SA)이 배치되어 있다. 비트 라인 센스 증폭기들(SA)은 좌우로 위치한 메모리 셀 어레이 블록들(MCA)이 공유하므로 모든 메모리 셀 어레이 블록들(MCA)사이에 배치할 필요는 없다. 그리고, 드라이버들(20-1, 20-2, 20-3) 각각은 메모리 셀 어레이 블록들(10-1 ~ 10-4)사이의 서브 워드 라인 드라이버들(SWD)이 배치되는 영역의 좌측(즉, 컬럼 디코더(12)가 배치된 영역의 반대편)에 인접하여 배치되고, 내부 전압 발생라인들(VINTA1, VINTA2, VINTA3) 각각은 서브 워드 라인 드라이버들이 배치되는 영역을 통하여 신장되어 배치된다. 그리고, 이들 라인들(VINTA1, VINTA2, VINTA3)은 내부 전압 발생라인(VINTA)에 공통으로 연결된다.

<13> 그런데, 도1에 나타낸 종래의 반도체 메모리 장치의 액티브 내부 전압 발생회로(20) 및 드라이버들(20-1, 20-2, 20-3)은 메모리 셀 어레이의 일측에 배치되어 있다. 그래서, 내부 전압 발생라인들(VINTA1, VINTA2, VINTA3)의 저항이 드라이버들(20-1, 20-2, 20-3)로부터 멀어질수록 커지게 되고, 이에 따라 액티브 동작시에 드라이버들(20-1, 20-2, 20-3)이 내부 전압(VCCA)을 내부 전압 발생라인들(VINTA1, VINTA2, VINTA3)로 전송시에 내부 전압(VCCA)의 레벨이 드라이버들(20-1, 20-2, 20-3)로부터 멀어질수록 떨어지게 된다.

<14> 그리고, 내부 전압 발생라인들(VINTA1, VINTA2, VINTA3)로 전송된 내부 전압(VCCA)은 액티브 동작시에 비트 라인 센스 증폭기(SA)로 인가되고, 라이트/리드 동작시에 비트 라인의 테이터를 내부 전압(VCCA) 레벨로 증폭하는데 사용된다. 그런데, 액티브 동작시에 내부 전압 발생라인들(VINTA1, VINTA2, VINTA3)의 레벨이 내부 전압(VCCA) 레벨까지 올라가 있지 않으면,

라이트/리드 동작시에 비트 라인의 데이터를 내부 전압(VCCA) 레벨까지 증폭할 수 없다는 문제 가 있다.

<15> 그런데, 도1에 나타낸 종래의 반도체 메모리 장치는 액티브 동작시에 내부 전압 발생라인들(VINTA1, VINTA2, VINTA3)의 전압 레벨이 드라이버들(20-1, 20-2, 20-3)로부터 멀어질수록 떨어지게 됨으로써 드라이버들(20-1, 20-2, 20-3)로부터 멀리 떨어진 곳에 위치한 비트 라인 센스 증폭기(SA)의 센싱 능력이 떨어지게 된다.

<16> 그래서, 종래의 반도체 메모리 장치를 설계시에 드라이버들(20-1, 20-2, 20-3)로부터 먼 곳에 위치한 비트 라인 센스 증폭기(SA)를 기준으로 설계하다 보면, 외부적으로는 액티브 동작 을 수행하기 위한 액티브 명령의 인가 시점으로부터 라이트/리드 동작을 수행하기 위한 라이트/리드 명령의 인가 시점까지의 기간(t_{RCD})(내부적으로는 워드 라인이 인에이블된 후 컬 럼 선택 라인(CSL)을 선택할 수 있을 때까지의 기간)을 길게 설정할 수 밖에 없다는 문제가 있다. 즉, 드라이버들(20-1, 20-2, 20-3)로부터 먼 곳에 위치한 내부 전압 발생라인들(VINTA1, VINTA2, VINTA3)의 레벨이 원하는 내부 전압 레벨에 도달한 후에 라이트/리드 동작을 수행하도록 반도체 메모리 장치를 설계하게 된다. 이는 고속의 반도체 메모리 장치를 설계하는데 장해 요소가 된다.

【발명이 이루고자 하는 기술적 과제】

<17> 본 발명의 목적은 내부 전압 발생라인들의 레벨을 비교적 빨리 균일하게 원하는 내부 전 압 레벨로 만듬으로써 기간(t_{RCD})를 개선할 수 있는 반도체 메모리 장치를 제공하는데 있다.

<18> 본 발명의 다른 목적은 상기 목적을 달성하기 위한 반도체 메모리 장치의 배치 방법을 제공하는데 있다.

<19> 상기 목적을 달성하기 위한 본 발명의 반도체 메모리 장치는 로우 방향으로 배치된 워드 라인들과 컬럼 방향으로 배치된 비트 라인들과 컬럼 선택 라인들을 구비하고, 컬럼 방향으로 배치된 복수개의 메모리 셀 어레이 블록들을 구비한 메모리 셀 어레이, 상기 복수개의 메모리 셀 어레이 블록들사이에 배치된 복수개의 내부 전압 발생라인들, 상기 메모리 셀 어레이의 일측에 배치되고 컬럼 어드레스를 디코딩하여 상기 컬럼 선택 라인들을 선택하는 컬럼 디코더, 상기 메모리 셀 어레이의 양측에 배치되고 기준전압과 내부 전압을 비교하여 비교 신호를 발생하는 내부 전압 발생회로, 및 상기 복수개의 내부 전압 발생라인들 각각의 양단에 배치되고 상기 비교 신호에 응답하여 상기 복수개의 내부 전압 발생라인들 각각으로 내부 전압을 공급하는 복수개의 드라이버들을 구비하는 것을 특징으로 한다.

<20> 상기 복수개의 드라이버들은 상기 복수개의 내부 전압 발생라인의 일단에 배치되어 상기 복수개의 내부 전압 발생라인들로 내부 전압을 공급하는 복수개의 제1드라이버들, 및 상기 복수개의 내부 전압 발생라인의 타단에 배치되어 상기 복수개의 내부 전압 발생라인들로 내부 전압을 공급하는 복수개의 제2드라이버들을 구비하는 것을 특징으로 한다.

<21> 그리고, 상기 반도체 메모리 장치는 상기 복수개의 제1드라이버들로 외부 전압을 인가하기 위한 제1외부 전압 인가 패드, 및 상기 복수개의 제2드라이버들로 상기 외부 전압을 인가하기 위한 제2외부 전압 인가 패드를 더 구비하는 것을 특징으로 한다.

<22> 상기 다른 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 배치 방법은 메모리 셀 어레이의 복수개의 메모리 셀 어레이 블록들을 컬럼 방향으로 배치하고, 상기 복수개의 메모리 셀 어레이 블록들사이에 복수개의 내부 전압 발생라인들을 배치하고, 상기 메모리 셀 어레이의 일측에 컬럼 디코더를 배치하고, 상기 메모리 셀 어레이의 양측에 액티브 내부 전압 발

생회로를 각각 배치하고, 상기 복수개의 내부 전압 발생라인들의 양단에 상기 액티브 내부 전압 발생회로의 복수개의 드라이버들을 배치하는 것을 특징으로 한다.

<23> 상기 복수개의 드라이버들을 배치시에 상기 복수개의 내부 전압 발생라인들의 일단에 상기 액티브 내부 전압 발생회로의 복수개의 제1드라이버들을 배치하고, 상기 복수개의 내부 전압 발생라인들의 타단에 상기 액티브 내부 전압 발생회로의 복수개의 제2드라이버들을 배치하고, 상기 복수개의 제1드라이버들로 외부 전압을 인가하기 위한 제1외부 전압 인가 패드와 상기 복수개의 제2드라이버들로 상기 외부 전압을 인가하기 위한 제2외부 전압 인가 패드를 분리하여 배치하는 것을 특징으로 한다.

【발명의 구성 및 작용】

<24> 이하, 첨부한 도면을 참조하여 본 발명의 반도체 메모리 장치 및 반도체 메모리 장치의 배치 방법을 설명하면 다음과 같다.

<25> 도2는 본 발명의 반도체 메모리 장치의 배치를 나타내는 실시예의 블록도로서, 도1에 나타낸 종래의 반도체 메모리 장치에 액티브 내부 전압 발생회로(30), 및 드라이버들(30-1, 30-2, 30-3)를 추가하여 구성되어 있다.

<26> 도2에서, 도1에 나타낸 반도체 메모리 장치의 구성과 동일한 블록들은 동일 번호 및 동일 부호로 나타내었다.

<27> 그리고, 도2에서, 32는 외부 전압 인가 패드를 나타내는 것으로, 도1에 나타낸 종래의 반도체 메모리 장치에 패드를 추가하여 구성되어 있다.

<28> 도2에서, 도1에 나타낸 구성과 동일한 블록들의 배치는 도1의 배치와 동일하므로, 여기에서는 추가되는 블록들에 대한 배치만을 설명하기로 한다.

<29> 도2에서, 액티브 내부 전압 발생회로(30)는 컬럼 디코더(12)측에 배치되고, 드라이버들(30-1, 30-2, 30-3) 각각도 컬럼 디코더(12)측에 배치되어 있다. 그리고, 드라이버들(30-1, 30-2, 30-3)은 메모리 셀 어레이(10)를 사이에 두고 드라이버들(20-1, 20-2, 20-3)의 반대측에 배치되어 있다. 즉, 드라이버들(30-1, 30-2, 30-3) 각각과 드라이버들(20-1, 20-2, 20-3) 각각은 메모리 셀 어레이(10)를 사이에 두고 대칭되게 배치되어 있다.

<30> 즉, 본 발명의 반도체 메모리 장치는 메모리 셀 어레이의 일측에 액티브 내부 전압 발생회로(20)와 드라이버들(20-1, 20-2, 20-3)을 배치하고, 타측에 액티브 내부 전압 발생회로(30)와 드라이버들(30-1, 30-2, 30-3)을 배치하여 구성되어 있다.

<31> 따라서, 본 발명의 반도체 메모리 장치는 액티브 동작시에 내부 전압 발생 라인들(VINTA1, VINTA2, VINTA3)의 양측에서 내부 전압(VCCA)을 공급함으로써 내부 전압 발생 라인들(VINTA1, VINTA2, VINTA3)의 위치에 따른 내부 전압(VCCA) 레벨의 차를 줄일 수 있다. 또한, 내부 전압 발생 라인들(VINTA1, VINTA2, VINTA3)의 양측에서 내부 전압(VCCA)을 공급함으로써 원하는 내부 전압(VCCA) 레벨로 빠르게 올라가게 되어 기간(tRCD)을 줄일 수 있다.

<32> 그리고, 외부 전압 패드(22)와 별도로 액티브 내부 전압 발생회로(30)에 인접하게 외부 전압 패드(32)를 추가하여 배치함으로써 액티브 내부 전압 발생회로(30)가 액티브 내부 전압 발생회로(20)와 동시에 동작하여 액티브 동작시에 내부 전압 발생라인들(VINTA1, VINTA2, VINTA3)로 빠르게 내부 전압(VCCA) 레벨을 공급한다.

<33> 도3은 본 발명의 반도체 메모리 장치의 배치를 나타내는 바람직한 실시예의 블록도로서, 드라이버들(30-1, 30-2, 30-3)을 컬럼 디코더(12) 내부에 배치한 구성을 나타내는 것이다.

<34> 도3에서, 도2에 나타낸 구성과 동일한 블록들은 동일 번호 및 부호로 나타내었고, CSLD는 컬럼 선택 라인 드라이버들을 나타낸다.

<35> 도3에 나타낸 본 발명의 반도체 메모리 장치의 컬럼 디코더(12)는 컬럼 어드레스 버퍼(12-1), 컬럼 프리디코더(12-2), 및 컬럼 선택 라인 드라이버들(12-31, 12-32, 12-33, 12-34)로 구성되고, 드라이버들(30-1, 30-2, 30-3)은 컬럼 선택 라인 드라이버들(12-31, 12-32, 12-33, 12-34)사이에 배치되어 있다.

<36> 즉, 도3에 나타낸 바와 같이 본 발명의 반도체 메모리 장치의 내부 전압 발생회로의 드라이버들(30-1, 30-2, 30-3)은 컬럼 디코더(12)내의 컬럼 선택 라인 드라이버들(12-31, 12-32, 12-33, 12-34)사이의 빈 영역에 배치됨으로 인해서 반도체 메모리 장치의 레이아웃 면적을 증가시키지 않게 된다.

<37> 참고적으로, 도3에 나타낸 컬럼 디코더(12)를 구성하는 블록들 각각의 기능을 설명하면 다음과 같다.

<38> 컬럼 어드레스 버퍼(12-1)는 라이트/리드 명령이 인가되면 컬럼 어드레스(CA)를 버퍼하여 버퍼된 컬럼 어드레스를 발생한다. 컬럼 프리디코더(12-2)는 버퍼된 컬럼 어드레스의 소정 비트씩을 프리디코딩하여 프리디코딩된 컬럼 어드레스를 발생한다. 컬럼 선택 라인 드라이버들(12-31, 12-32, 12-33, 12-34) 각각은 프리디코딩된 컬럼 어드레스에 응답하여 메모리 셀 어레이 블록들(10-1, 10-2, 10-3, 10-4) 각각의 비트 라인을 선택하기 위한 컬럼 선택 라인(CSL)들을 구동한다.

<39> 컬럼 제어회로(14)는 컬럼 디코더(12)를 제어하기 위한 제어신호 발생회로 및 메모리 셀 어레이의 불량 메모리 셀을 리던던트 메모리 셀(미도시)로 대체하기 위한 리던던시 회로를 포함한다.

<40> 도2 및 도3에 나타낸 본 발명의 반도체 메모리 장치의 동작을 개략적으로 설명하면 다음과 같다.

<41> 액티브 명령이 인가되면, 로우 디코더(16)는 로우 어드레스(RA)를 디코딩하여 워드 라인(WL)들을 선택하기 위한 워드 라인 선택신호들을 발생한다. 그러면, 선택된 워드 라인에 연결된 모든 메모리 셀들과 비트 라인사이에 전하 공유 동작이 수행된다. 그리고, 액티브 내부 전압 발생회로들(20, 30)은 기준전압(VREF)과 내부 전압 발생라인(VINTA)의 전압을 비교한다. 드라이버들(20-1, 20-2, 20-3, 30-1, 30-2, 30-3)은 액티브 내부 전압 발생회로들(20, 30)의 출력 전압 레벨에 따라 구동 능력이 달라지게 되어 내부 전압 발생라인들(VINTA1, VINTA2, VINTA3)의 전압 레벨을 내부 전압(VCCA) 레벨로 유지한다. 이때, 메모리 셀 어레이(10)의 양측에서 내부 전압 발생라인들(VINTA1, VINTA2, VINTA3)을 동시에 구동하기 때문에 내부 전압 발생라인들(VINTA1, VINTA2, VINTA3)의 전압 레벨을 균일하게 유지할 수 있으며, 빠르게 내부 전압(VCCA) 레벨로 만들 수 있다. 선택된 워드 라인에 연결된 메모리 셀들과 비트 라인사이에 전하 공유 동작이 수행된 후에 비트 라인 센스 증폭기들(SA)이 동작하여 비트 라인의 데이터를 감지하여 증폭한다. 이때, 비트 라인 센스 증폭기들(SA)로 인가되는 내부 전압(VCCA)의 레벨이 내부 전압 발생라인들(VINTA, VINTA2, VINTA3)의 해당 라인의 위치에 관계없이 일정한 내부 전압(VCCA) 레벨을 유지하므로 비트 라인의 데이터를 빠르게 증폭할 수 있다.

<42> 그리고, 라이트/리드 명령이 인가되면, 컬럼 디코더(12)는 컬럼 어드레스(CA)를 디코딩하여 컬럼 선택 라인(CSL)을 선택하기 위한 컬럼 선택 라인 선택신호들을 발생한다. 이때, 컬

럼 선택 라인 선택신호들은 비트 라인 센스 증폭기들(SA)에 의한 비트 라인 센싱 동작이 완료되는 시점에 맞추어서 발생되도록 설계된다. 따라서, 만일 비트 라인 센싱 동작이 빨리 수행되면 컬럼 선택 라인 선택신호들이 빨리 발생되도록 설계하는 것이 가능하다. 컬럼 선택 라인 선택신호들이 발생되면 컬럼 선택 라인 선택신호에 응답하여 선택된 비트 라인의 데이터가 라이트/리드된다.

<43> 즉, 본 발명의 반도체 메모리 장치는 내부 전압 발생라인들(VINTA1, VINTA2, VINTA3)의 해당 라인의 위치에 관계없이 원하는 내부 전압(VCCA) 레벨로 빠르게 만듬으로써, 비트 라인 센스 증폭기들이 빠르게 원하는 레벨로 증폭할 수 있다. 따라서, 액티브 명령이 인가된 후에 라이트/리드 명령이 인가될 때까지의 기간(t_{RCD})이 개선되어 고속 동작이 가능하다.

<44> 도2 및 도3의 실시예에서는 드라이버들(30-1, 30-2, 30-3)이 컬럼 디코더(12)에 인접하게, 또는 컬럼 디코더(12) 내부에 배치되는 구성을 나타내었으나, 추이들 드라이버들(30-1, 30-2, 30-3)은 컬럼 디코더(12)가 아닌 컬럼 제어회로(14)에 배치되어도 상관없다. 즉, 드라이버들(30-1, 30-2, 30-3)이 메모리 셀 어레이(10)를 사이에 두고 기존의 드라이버들(20-1, 20-2, 20-3)의 반대편에 배치되면 된다. 그리고, 레이아웃 면적 증가를 방지하기 위하여는 도3에 나타낸 바와 같이 빈 공간에 배치되는 것이 바람직하다.

<45> 도4는 도2 및 도3에 나타낸 본 발명의 반도체 메모리 장치의 액티브 내부 전압 발생회로 및 드라이버의 실시예의 회로도로서, 액티브 내부 전압 발생회로(AIVC)는 비교기(COM)로 구성되고, 드라이버(D)는 PMOS트랜지스터(P)로 구성되어 있다.

<46> 도4에 나타낸 회로의 동작을 설명하면 다음과 같다.

<47> 비교기(COM)는 기준전압(VREF)과 내부 전압(VCCA)를 비교하여 내부 전압(VCCA)의 레벨이 기준전압(VREF)의 레벨보다 높으면 비교 출력 전압의 레벨을 높이고, 내부 전압(VCCA)의 레벨이 기준전압(VREF)의 레벨보다 낮으면 비교 출력 전압의 레벨을 낮춘다. PMOS트랜지스터(P)는 비교기(COM)로부터 출력되는 비교 출력 전압의 레벨이 낮아지면 구동 능력을 크게하여 내부 전압(VCCA)의 레벨을 높이고, 비교 출력 전압의 레벨이 높아지면 구동 능력을 작게하여 내부 전압(VCCA)의 레벨을 낮춘다.

<48> 상술한 바와 같은 방법으로 액티브 내부 전압 발생회로가 동작하여 내부 전압(VCCA)의 레벨이 기준전압(VREF) 레벨을 유지하도록 동작한다.

<49> 도5는 본 발명의 반도체 메모리 장치의 비트 라인 센스 증폭기의 실시예의 구성을 나타내는 것으로, PMOS트랜지스터들(P1, P2, P3)로 구성된 PMOS센스 증폭기(PSA), 및 NMOS트랜지스터들(N1, N2, N3)로 구성된 NMOS센스 증폭기(NSA)로 구성되어 있다.

<50> 도5에서, BL, BLB는 비트 라인쌍을 나타내고, VL은 내부 전압 발생라인과 연결된 내부 전압 인가 라인을 나타내고, GL은 접지 전압 라인을 나타낸다. 그리고, LAB는 PMOS센스 증폭기(PSA)를 인에이블하기 위한 제어신호이고, LA는 NMOS센스 증폭기(NSA)를 인에이블하기 위한 제어신호이다.

<51> 도5에 나타낸 내부 전압 인가 라인(VL)은 도2 및 도3에 나타낸 내부 전압 발생라인들(VINTA1, VINTA2, VINTA3)과 직교하는 방향으로 배치되어 있다.

<52> 도5에 나타낸 회로의 동작을 설명하면 다음과 같다.

<53> "로우"레벨의 제어신호(LAB)와 "하이"레벨의 제어신호(LA)가 발생되면, PMOS트랜지스터(P3)가 온되어 비트 라인쌍(BL, BLB)의 "로우"레벨의 데이터에 응답하여 비트 라인쌍(BL, BLB)

의 데이터를 내부 전압(VCCA) 레벨로 증폭한다. 또한, NMOS트랜지스터(N3)가 온되어 비트 라인 쌍(BL, BLB)의 "하이"레벨의 데이터에 응답하여 비트 라인쌍(BL, BLB)의 데이터를 접지 전압 레벨로 증폭한다.

<54> 그런데, 본 발명의 반도체 메모리 장치의 비트 라인 센스 증폭기는 내부 전압(VCCA) 레벨이 내부 전압 발생라인들(VINTA1, VINTA2, VINTA3)의 위치에 상관없이 균일하기 때문에 비트 라인 센스 증폭기의 위치에 상관없이 비트 라인 센싱 동작시에 원하는 내부 전압(VCC) 레벨로 증폭할 수 있다.

<55> 상술한 실시예에서, 본 발명의 반도체 메모리 장치의 배치 방법을 서브 워드 라인 구성을 가지는 반도체 메모리 장치를 이용하여 설명하였으나, 서브 워드 라인 구성을 가지지 않는 반도체 메모리 장치에도 본 발명의 배치 방법이 적용될 수 있다.

<56> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

<57> 본 발명의 반도체 메모리 장치는 액티브 내부 전압 발생회로의 드라이버를 내부 전압 발생라인들의 양단에 배치함으로써 내부 전압 발생라인들의 전압 레벨을 빠르고 균일하게 원하는 내부 전압 레벨로 만들 수 있다.

<58> 따라서, 본 발명의 반도체 메모리 장치는 비트 라인을 빠르게 원하는 내부 전압 레벨로 증폭할 수 있으며, 이에 따라 반도체 메모리 장치의 동작 속도에 영향을 미치는 기간(tRCD)이 개선될 수 있다.

【특허청구범위】**【청구항 1】**

로우 방향으로 배치된 워드 라인들과 컬럼 방향으로 배치된 비트 라인들과 컬럼 선택 라인들을 구비하고, 컬럼 방향으로 배치된 복수개의 메모리 셀 어레이 블록들을 구비한 메모리 셀 어레이;

상기 복수개의 메모리 셀 어레이 블록들사이에 배치된 복수개의 내부 전압 발생라인들; 상기 메모리 셀 어레이의 일측에 배치되고 컬럼 어드레스를 디코딩하여 상기 컬럼 선택 라인들을 선택하는 컬럼 디코더;

상기 메모리 셀 어레이의 양측에 배치되고 기준전압과 내부 전압을 비교하여 비교 신호를 발생하는 내부 전압 발생회로; 및

상기 복수개의 내부 전압 발생라인들 각각의 양단에 배치되고 상기 비교 신호에 응답하여 상기 복수개의 내부 전압 발생라인들 각각으로 내부 전압을 공급하는 복수개의 드라이버들을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 2】

제1항에 있어서, 상기 복수개의 드라이버들은 상기 복수개의 내부 전압 발생라인의 일단에 배치되어 상기 복수개의 내부 전압 발생라인들로 내부 전압을 공급하는 복수개의 제1드라이버들; 및 상기 복수개의 내부 전압 발생라인의 타단에 배치되어 상기 복수개의 내부 전압 발생라인들로 내부 전압을 공급하는 복수개의 제2드라이버들을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 3】

제2항에 있어서, 상기 반도체 메모리 장치는

상기 복수개의 제1드라이버들로 외부 전압을 인가하기 위한 제1외부 전압 인가 패드;

및

상기 복수개의 제2드라이버들로 상기 외부 전압을 인가하기 위한 제2외부 전압 인가 패드를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

제3항에 있어서, 상기 반도체 메모리 장치는

상기 제1외부 전압 인가 패드로 상기 외부 전압을 인가하기 위한 제1외부 전압 인가 펀; 및

상기 제2외부 전압 인가 패드로 상기 외부 전압을 인가하기 위한 제2외부 전압 인가 펀을 별도로 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 5】

제2항에 있어서, 상기 컬럼 디코더는

상기 컬럼 어드레스를 입력하여 버퍼하는 컬럼 어드레스 입력버퍼;

상기 버퍼된 컬럼 어드레스를 프리디코딩하는 컬럼 어드레스 프리디코더; 및

상기 프리디코딩된 컬럼 어드레스에 응답하여 상기 복수개의 메모리 셀 어레이 블록들 각각의 복수개의 컬럼 선택 라인들을 구동하는 복수개의 컬럼 선택 라인 구동회로들을 구비하고,

상기 복수개의 컬럼 선택 라인 구동회로들 각각의 사이에 상기 복수개의 제2드라이버들을 배치하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 6】

메모리 셀 어레이의 복수개의 메모리 셀 어레이 블록들을 컬럼 방향으로 배치하고,
상기 복수개의 메모리 셀 어레이 블록들사이에 복수개의 내부 전압 발생라인들을 배치하고,
상기 메모리 셀 어레이의 일측에 컬럼 디코더를 배치하고,
상기 메모리 셀 어레이의 양측에 액티브 내부 전압 발생회로를 각각 배치하고,
상기 복수개의 내부 전압 발생라인들의 양단에 상기 액티브 내부 전압 발생회로의 복수
개의 드라이버들을 배치하는 것을 특징으로 하는 반도체 메모리 장치의 배치 방법.

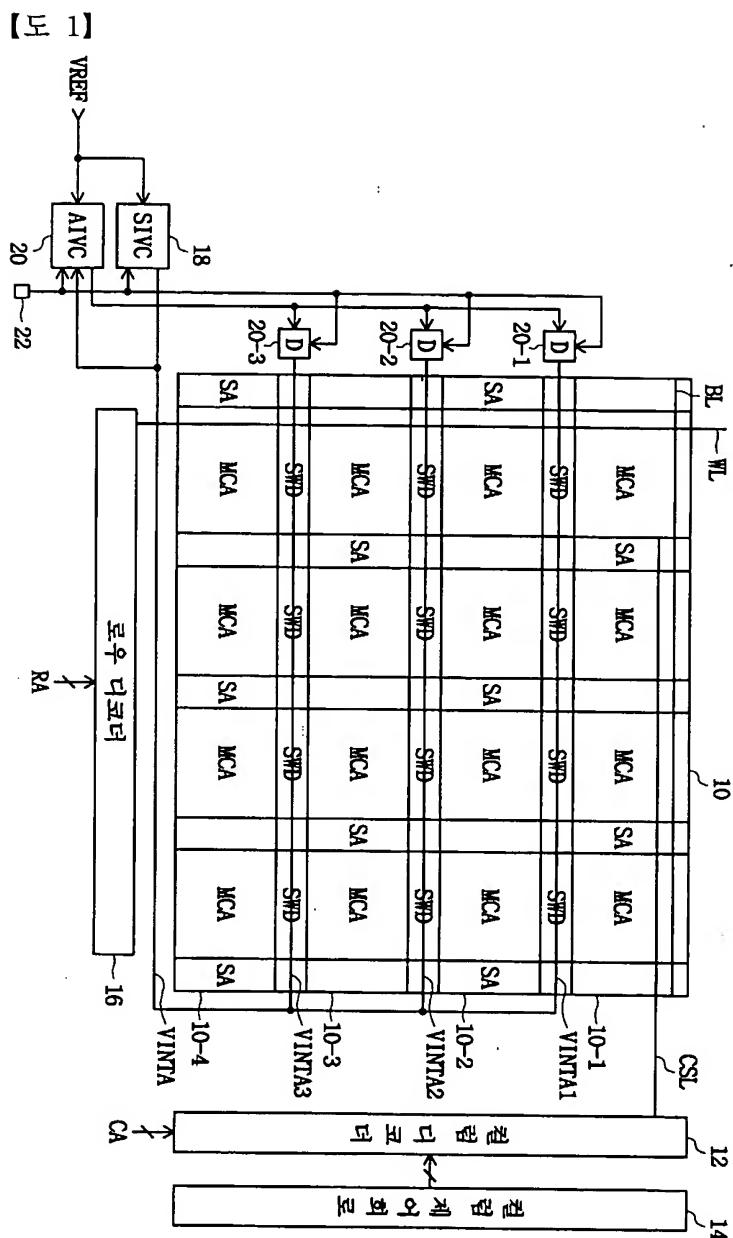
【청구항 7】

제6항에 있어서, 상기 복수개의 드라이버들을 배치시에
상기 복수개의 내부 전압 발생라인들의 일단에 상기 액티브 내부 전압 발생회로의 복수
개의 제1드라이버들을 배치하고,
상기 복수개의 내부 전압 발생라인들의 타단에 상기 액티브 내부 전압 발생회로의 복수
개의 제2드라이버들을 배치하고,
상기 복수개의 제1드라이버들로 외부 전압을 인가하기 위한 제1외부 전압 인가 패드와
상기 복수개의 제2드라이버들로 상기 외부 전압을 인가하기 위한 제2외부 전압 인가 패드를 분
리하여 배치하는 것을 특징으로 하는 반도체 메모리 장치의 배치 방법.

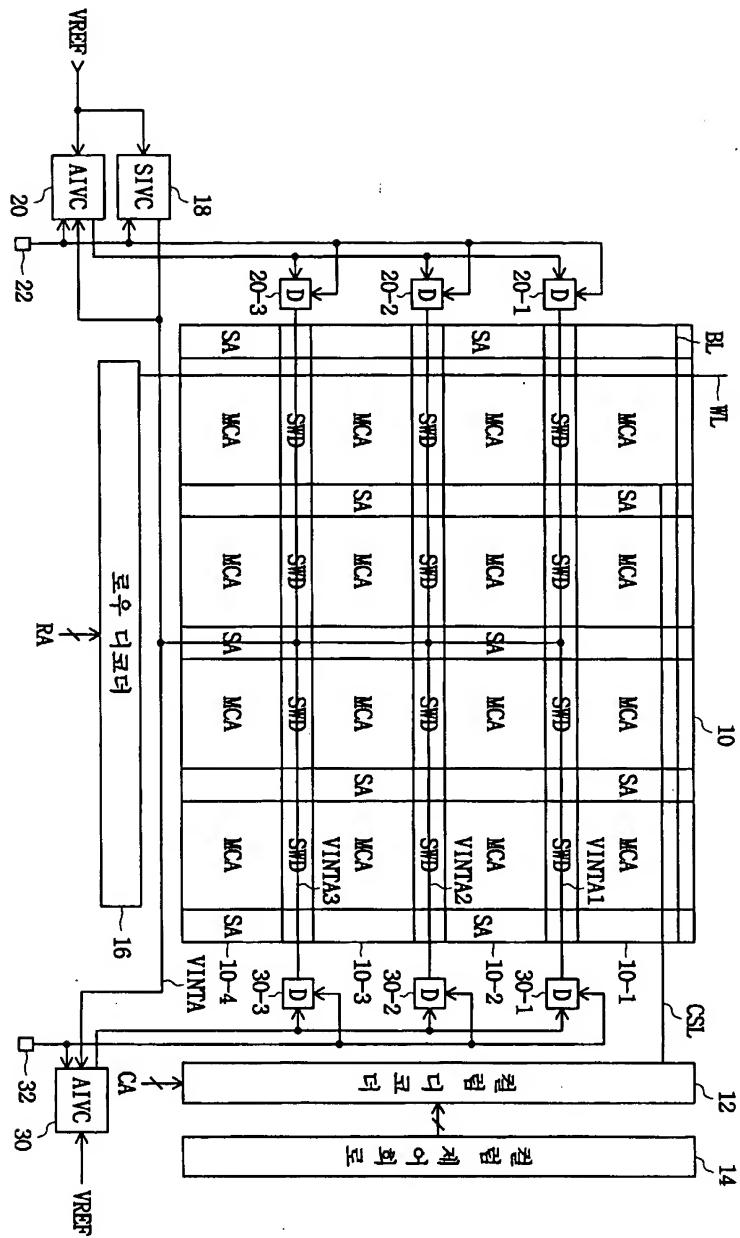
【청구항 8】

제6항에 있어서, 상기 제1외부 전압 인가 패드로 상기 외부 전압을 인가하기 위한 제1외부 전압 인가 펀과 상기 제2외부 전압 인가 패드로 상기 외부 전압을 인가하기 위한 제2외부 전압 인가 펀이 분리되는 것을 특징으로 하는 반도체 메모리 장치의 배치 방법.

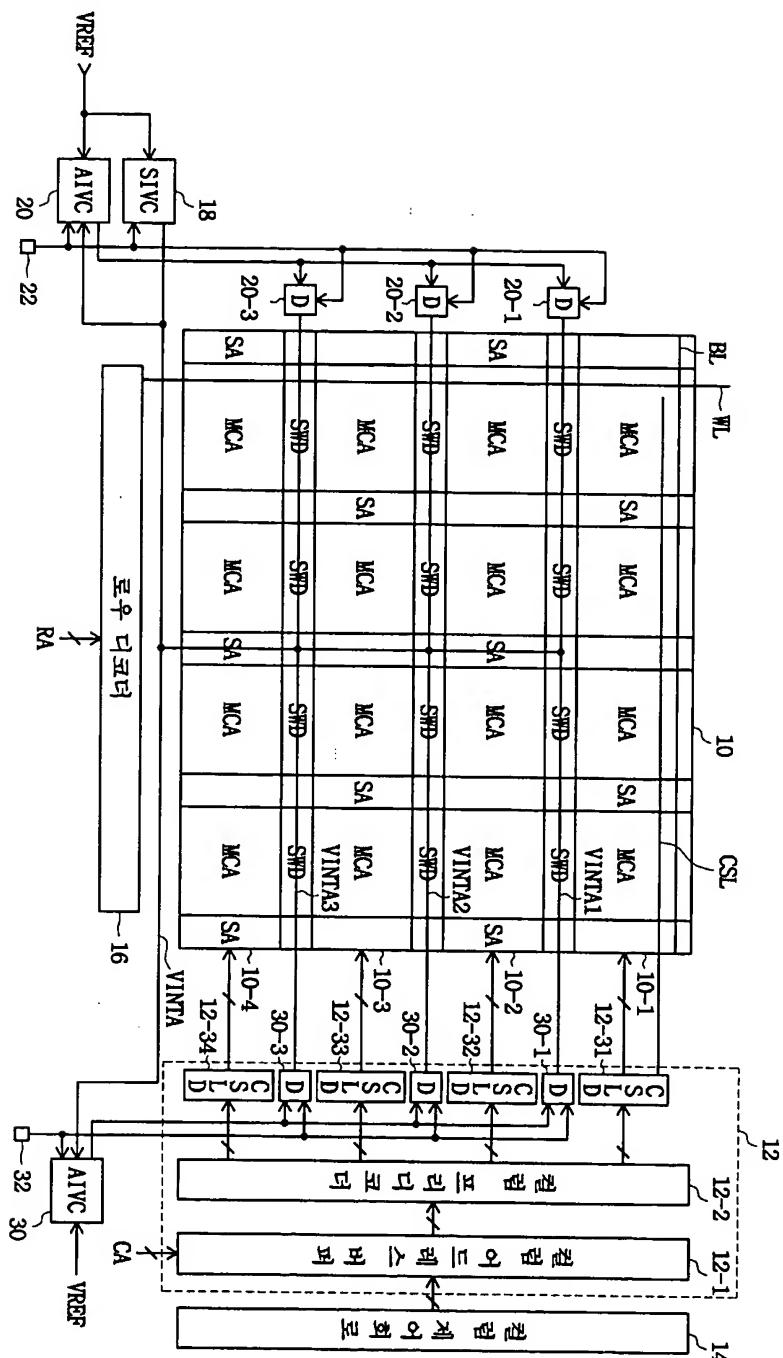
【도면】



【도 2】



【도 3】



1020030024123

출력 일자: 2003/9/24

【도 4】

